

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年6月9日 (09.06.2005)

PCT

(10) 国際公開番号  
WO 2005/053024 A1

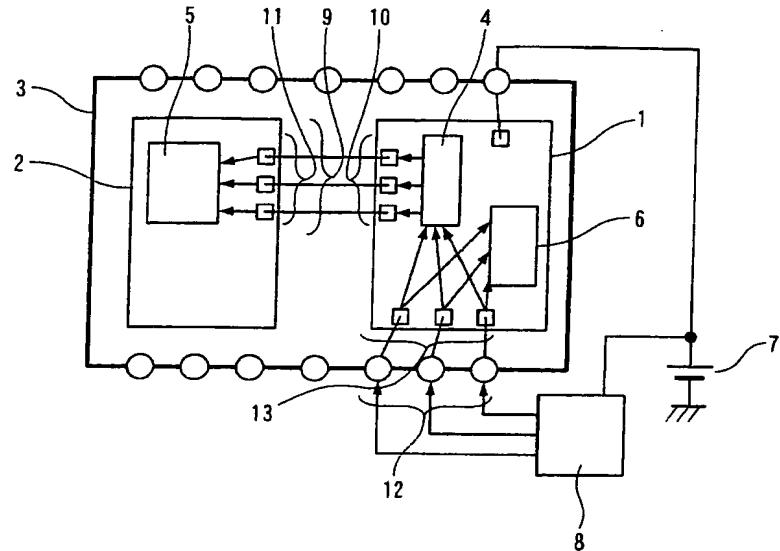
(51) 国際特許分類7: H01L 25/04, 25/18  
(21) 国際出願番号: PCT/JP2004/011395  
(22) 国際出願日: 2004年8月2日 (02.08.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2003-397103  
2003年11月27日 (27.11.2003) JP  
(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).

(72) 発明者; および  
(75) 発明者/出願人(米国についてのみ): 谷内秀生 (TANOUCHI, Hideo).  
(74) 代理人: 森本義弘 (MORIMOTO, Yoshihiro); 〒5500005 大阪府大阪市西区西本町 1 丁目 10 番 10 号 西本町全日空ビル 4 階 Osaka (JP).  
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(続葉有)

(54) Title: MULTI-CHIP TYPE SEMICONDUCTOR DEVICE

(54) 発明の名称: マルチチップ型半導体装置



WO 2005/053024 A1

(57) Abstract: A first semiconductor chip (1) of a high breakdown voltage is connected with a second semiconductor chip (2) of a low breakdown voltage in a package (3). The first semiconductor chip (1) comprises a voltage converter circuit (4); a plurality of first inter-chip connection parts (10) for connection with the second semiconductor chip (2); a first serial decoder (6); and external connection parts (13) for connection with external connection terminals (12) provided outside the package (3). The second semiconductor chip (2) of the low breakdown voltage comprises a second serial decoder (5) and a plurality of second inter-chip connection parts (11) for connection with the first semiconductor chip (1). Bonding wires (9) are provided for directly connecting the plurality of first inter-chip connection parts (10) with the plurality of second inter-chip connection parts (11).

(57) 要約: 高耐圧の第1の半導体チップ(1)と低耐圧の第2の半導体チップ(2)とをパッケージ(3)内で直接接続する。第1の半導体チップ(1)は、電圧変換回路(4)と、第2の半導体チップ(2)と

(続葉有)



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 國際調査報告書

---

の接続のための複数の第1のチップ間接続部(10)と、第1シリアルデコーダ(6)と、パッケージ(3)外に引き出される外部接続端子(12)との接続のための外部接続部(13)とを備え、低耐圧の第2の半導体チップ(2)は、第2シリアルデコーダ(5)と、第1の半導体チップ(1)との接続のための複数の第2のチップ間接続部(11)とを備えている。複数の第1のチップ間接続部(10)と複数の第2のチップ間接続部(11)とを直接接続するボンディングワイヤ(9)を設ける。